

①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Offenlegungsschrift
⑪ DE 3625878 A1

②① Aktenzeichen: P 36 25 878.4
②② Anmeldetag: 31. 7. 86
④③ Offenlegungstag: 5. 2. 87

⑤① Int. Cl. 4:
H04L 25/00
H 04 L 25/08
H 04 B 3/54
G 08 C 19/00
H 02 J 13/00

Behördenbesitz

DE 3625878 A1

⑤① // H04L 27/10, H03M 9/00, 13/00

③⑩ Unionspriorität: ③② ③③ ③①
05.08.85 US 762 230

⑦① Anmelder:
National Semiconductor Corp., Santa Clara, Calif.,
US

⑦④ Vertreter:
Richter, J., Dipl.-Ing.; Werdermann, F., Dipl.-Ing.,
Pat.-Anw., 2000 Hamburg

⑦② Erfinder:
Strom, Stephen A., Tempe, Ariz., US

⑤④ Netzleitungs-Trägerfrequenz-Nachrichtensystem

Die Erfindung betrifft eine Einrichtung zum Formatieren eines eingehenden bytebreiten Datenstroms in einen ausgehenden Nachrichtbitstrom zur Übertragung über eine Netzleitung und zum Extrahieren eines ausgehenden bytebreiten Datenstroms aus einem eingehenden über eine Netzleitung empfangenen Nachrichtenstrom. Die Einrichtung enthält eine auf aufeinanderfolgende parallele, in einem eingehenden bytebreiten Datenstrom auftretende Datenbytes ansprechende Formatiereinrichtung zum Erzeugen eines einleitenden Teils eines seriellen Ausgangs-Nachrichtbitstroms, Umwandeln des eingehenden bytebreiten Datenstroms in einen Datenteil des ausgehenden Nachrichtenbitstroms und Erzeugen eines Prüfsummentails des Ausgangs-Nachrichtbitstroms. Die Einrichtung enthält ferner eine Extrahiervorrichtung, welche anspricht auf einen seriellen Eingangs-Nachrichtbitstrom mit Einleitungsteil, Datenteil und Prüfsummenteil zum Extrahieren eines ausgehenden bytebreiten Datenstroms mit aufeinanderfolgenden parallelen Datenbytes aus dem Datenteil des Eingangs-Nachrichtbitstroms.

DE 3625878 A1

Patentansprüche

1. Einrichtung zum Formatieren eines eingehenden bytebreiten Datenstroms in einen ausgehenden Nachrichtbitstrom zur Übertragung über eine Netzleitung und zum Extrahieren eines ausgehenden bytebreiten Datenstroms aus einem eingehenden über eine Netzleitung empfangenen Nachrichtenstrom, **gekennzeichnet durch**
 - eine auf aufeinanderfolgende parallele, in einem eingehenden bytebreiten Datenstrom auftretende Datenbytes ansprechende Formatiereinrichtung zum Erzeugen eines einleitenden Teils eines seriellen Ausgangs-Nachrichtbitstroms, Umwandeln des eingehenden bytebreiten Datenstroms in einen Datenteil des ausgehenden Nachrichtbitstroms und Erzeugen eines Prüfsummentails des Ausgangs-Nachrichtbitstromes, und
 - eine Extrahiervorrichtung, welche anspricht auf einen seriellen Eingangs-Nachrichtbitstrom mit Einleitungsteil, Datenteil und Prüfsummenteil zum Extrahieren eines ausgehenden bytebreiten Datenstromes mit aufeinanderfolgenden parallelen Datenbytes aus dem Datenteil des Eingangs-Nachrichtbitstroms.
2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Formatiereinrichtung den Ausgangs-Nachrichtprüfsummenteil aus den in dem eingehenden bytebreiten Strom auftretenden Datenbytes errechnet.
3. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Extrahiervorrichtung folgende Komponenten enthält:
 - eine Puffereinrichtung, welche auf den Eingangs-Nachrichtbitstrom anspricht, um diesen zu speichern;
 - eine Synchronisiereinrichtung zum Synchronisieren der Puffereinrichtung mit dem Eingangs-Nachrichtbitstrom;
 - eine Arithmetikeinrichtung zum Errechnen eines den Bits in dem Datenteil des Eingangs-Nachrichtbitstromes entsprechenden Prüfsummenwertes, zum Vergleichen dieses Prüfsummenwertes mit den Bits in dem Datenteil des Eingangs-Nachrichtbitstromes und zur Bildung eines Bestätigungssignals, wenn der Empfänger-Prüfsummenwert mit den Bits in dem Prüfsummenteil des Eingangs-Nachrichtbitstromes zusammenpaßt; und
 - eine auf das Bestätigungssignal ansprechende Ausgabevorrichtung zum Herausgeben der aufeinanderfolgenden, parallelen Datenbytes in dem ausgehenden bytebreiten Bitstrom.
4. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Einleitungsteile der Eingangs- und Ausgangs-Nachrichtbitströme ein im wesentlichen gleiches Format aufweisen.
5. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß eine Sendeempfängereinrichtung mit der Formatierungseinrichtung und der Extrahiervorrichtung verbunden ist, die dazu dient, den Ausgangs-Nachrichtbitstrom zu empfangen und ihn aus einem seriellen binären Bitstrom in einen durch Frequenzverschiebung getasteten Bitstrom umzuwandeln, und die auf den Eingangs-Nachrichtbitstrom in Form eines durch Frequenzverschiebung getasteten Bitstromes anspricht, um einen entsprechenden seriellen binären Bitstrom zu bilden.
6. Einrichtung nach Anspruch 5, dadurch gekennzeichnet,

zeichnet, daß mit der Sendeempfängereinrichtung eine Kopplungseinrichtung verbunden ist, die dazu dient, den durch Frequenzverschiebung getasteten Ausgangs-Nachrichtbitstrom aus der Sendeempfängereinrichtung an eine Netzleitung oder Starkstromleitung zu koppeln und den durch Frequenzverschiebung getasteten Eingangs-Nachrichtbitstrom von einer Netzleitung oder Starkstromleitung an die Sendeempfängereinrichtung zu koppeln.

7. Einrichtung nach Anspruch 6, dadurch gekennzeichnet, daß mit der Kopplungseinrichtung und der Extrahiervorrichtung eine Trägerdetektoreinrichtung verbunden ist, die auf den durch Frequenzverschiebung getasteten Eingangs-Nachrichtbitstrom anspricht und dazu dient, ein Trägerermittlungssignal zu liefern, das die Extrahiervorrichtung in die Lage versetzt, den ausgehenden bytebreiten Datenstrom aus dem Datenteil des Eingangs-Nachrichtbitstromes zu extrahieren.

8. Einrichtung nach Anspruch 5, dadurch gekennzeichnet, daß eine Abtasteinrichtung zwischen die Sendeempfängereinrichtung und die Extrahiervorrichtung geschaltet ist, die dazu dient, den Zustand jedes Bits in dem Eingangs-Nachrichtbitstrom mehrfach zu prüfen und einen konditionierten Eingangs-Nachrichtbitstrom zu bilden, in dem jeder Bit dem vorherrschenden Prüfzustand jedes Bits in dem Eingangs-Nachrichtbitstrom entspricht, wobei der konditionierte Eingangs-Nachrichtbitstrom der Extrahiervorrichtung zugeführt wird, um den ausgehenden bytebreiten Bitstrom zu extrahieren.

9. Einrichtung nach Anspruch 7, dadurch gekennzeichnet, daß eine Abtasteinrichtung zwischen die Sendeempfängereinrichtung und die Extrahiervorrichtung geschaltet ist, die dazu dient, den Zustand jedes Bits in dem Eingangs-Nachrichtbitstrom mehrfach zu prüfen und einen konditionierten Eingangs-Nachrichtbitstrom zu bilden, in dem jeder Bit dem vorherrschenden Prüfzustand jedes Bits in dem Eingangs-Nachrichtbitstrom entspricht, wobei der konditionierte Eingangs-Nachrichtbitstrom der Extrahiervorrichtung zugeführt wird, um den ausgehenden bytebreiten Bitstrom zu extrahieren.

10. Einrichtung nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß sie ein Gerät zum Formatieren einer Folge von Gruppen paralleler Eingangsdatenbits in einen seriellen Ausgangsbitstrang zur Übertragung über eine Netz- oder Starkstromleitung aufweist, welches folgende Bestandteile enthält:

einen Eingangspuffer zum Aufnehmen und Speichern einer Folge von Gruppen paralleler Eingangsdatenbits;

eine damit verbundene Arithmetikeinrichtung zur Aufnahme der gespeicherten Datenbits, zum Berechnen von Prüfsummenbits, welche den gespeicherten Datenbits entsprechen, und zum Erzeugen von Einleitungsbits, sowie zur nacheinander erfolgenden Bildung der Einleitungsbits, der gespeicherten Datenbits und der Prüfsummenbits; und

eine Ausgangspuffereinrichtung, welche auf die aufeinanderfolgenden Einleitungsbits, gespeicherten Datenbits und Prüfsummenbits anspricht und einen entsprechenden seriellen Ausgangsbitstrom bei einer vorbestimmten Bitgeschwindigkeit bildet.

11. Einrichtung nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß sie ein Gerät zum Ex-

trahieren einer Gruppe von parallelen Ausgangsdaten aus einem über eine Starkstrom- oder Netzleitung empfangenen formatierten seriellen Eingangsbitstrang aufweist, das folgende Bestandteile enthält:

einen Eingangsspeicherpuffer zum Aufnehmen und Speichern eines seriellen Eingangsbitstranges mit Einleitungsbits, Datenbits und Prüfsummenbits; eine damit verbundene Arithmetikeinrichtung zur Aufnahme des gespeicherten Eingangsbitstranges, zum Berechnen von Prüfsummenbits, welche den gespeicherten Datenbits entsprechen, zum Vergleichen der berechneten Prüfsummenbits mit den Prüfsummenbits des Eingangsdatenstranges und zum Liefern der gespeicherten Datenbits an einen Ausgang in Abhängigkeit davon, daß die berechneten Prüfsummenbits und die gespeicherten Prüfsummenbits zusammenpassen; und einen mit dem Ausgang verbundenen Ausgangspuffer zum Empfangen der gespeicherten Datenbits und zum Ausgeben der gespeicherten Datenbits als eine Folge von Gruppen paralleler Ausgangsdaten.

12. Verfahren zum Formatieren paralleler Bits eines eingehenden bytebreiten Datenstroms in einen seriellen Ausgangs-Nachrichtbitstrom zur Übertragung über eine Starkstrom- oder Netzleitung, gekennzeichnet durch folgende Schritte:

Es wird eine Reihe von Einleitungsbits mit je einem vorbestimmten Bitzustand erzeugt;

es wird eine Reihe von Nachrichtdatenbits erzeugt, welche parallelen Bits eines eingehenden bytebreiten Datenstroms entsprechen; und

es wird eine Reihe von Prüfsummenbits erzeugt, bei denen die jeweilige Folge der Einleitungsbits, Nachrichtdatenbits und Prüfsummenbits einen seriellen Ausgangs-Nachrichtbitstrom bilden.

13. Verfahren nach Anspruch 12, gekennzeichnet durch folgende weiteren Schritte:

Es wird eine Reihe von Startbits zwischen den Einleitungsbits und den Nachrichtdatenbits erzeugt;

es wird eine Reihe von Stoppbits im Anschluß an die Prüfsummenbits erzeugt; und

es wird eine Gruppe von Stopp/Startbits in der Reihe von Nachrichtdatenbits erzeugt, und zwar nach einer vorbestimmten Anzahl von Nachrichtdatenbits.

Beschreibung

Die Erfindung bezieht sich auf Netzleitungs-Trägerfrequenz-Nachrichtensysteme. Sie behandelt vor allem eine Einrichtung und ein Verfahren zum Formatieren von Nachrichten und zum Herausziehen von Daten aus Nachrichten, derart, daß bei einem Netzleitungs-Trägerfrequenz-Nachrichtensystem eine verbesserte Unempfindlichkeit gegen störendes Rauschen erhalten wird.

Netzleitungs-Trägerfrequenz-Nachrichtensysteme sind in jüngerer Zeit zu einer gangbaren Alternative für Nachrichtenverbindungen zu mancherlei Anwendungen geworden. Zwar sind bereits verschiedenartige andere Datenbindeglieder, wie z. B. optische, mit Hochfrequenz, Ultraschall und Verdrahtungen arbeitende Bindeglieder bekannt, die sich auf manchen Gebieten als vorteilhaft bewährt haben, aber stets auch gewisse Beschränkungen ihrer Anwendbarkeit aufweisen. Zum Beispiel arbeiten optische Bindeglieder nur bei geradli-

niger Sicht, Hochfrequenz-Bindeglieder unterliegen Beschränkungen durch zahlreiche behördliche Bestimmungen, Ultraschall-Bindeglieder werden durch Wände und Mauern unterbrochen und verdrahtete Bindeglieder erfordern kostspielige Aufwendungen für signalführende Leitungen. Andererseits können bei Netzleitungs-Trägerfrequenz-Nachrichtensystemen als Alternative bereits vorhandene mit Wechselstrom betriebene Starkstromleitungen in der Nachrichtenverbindung verwendet werden.

Bei vielen Anwendungen, wie z. B. bei Energieverteilungsanlagen in Gebäuden, machen Netzleitungs-Trägerfrequenz-Nachrichtensysteme die erforderliche Umrüstung der bereits vorhandenen Gebäude zu einer vergleichsweise recht einfachen Aufgabe. Dadurch, daß die mit Wechselstrom betriebene Starkstromleitung benutzt wird, ist zum Einbau der Fernsteuereinrichtungen energieverbrauchender Maschinen und Apparate wie Kompressoren, Motoren, Heiz-, Lüftungs- bzw. Klimatisierungs- und Beleuchtungsanlagen keine vollständig neue Leitungsverlegung erforderlich. Vielmehr kann die nachrichtliche Verbindung zu den einzelnen Fernsteuergeräten und Druckfühlern über die Starkstromleitung erfolgen.

Die Benutzung der mit Wechselstrom betriebenen Starkstromleitung als Nachrichtenverbindung erlaubt eine Übertragung von Daten direkt über die mit Wechselstrom betriebene Starkstromleitung zusammen mit dem normalen Wechselstrom. Die mit Wechselstrom betriebene Starkstromleitung enthält nicht nur den typischen unerwünschten Signalpegel von 117 Volt (quadratischer Mittelwert), sondern auch Kilovoltspitzen, woraus sich die grundsätzliche Anforderung für die Ausbildung von Trägerstrom-Sendeempfängerschaltungen ergibt. Bei industriellen Anlagen erzeugen unerwünschte Rauschstörungen, die von Motoren, Kompressoren und anderen Anlagenteilen herrühren, sogar noch stärkere Rauschstörungen, welche Fehler in die über die Starkstromleitungen übertragenen Daten verursachen können.

Bei niedrigen Datengeschwindigkeiten, wie z. B. 1200 Baud, sind Starkstromleitungsträger, Stromsendeempfänger und Datenverarbeitungsgeräte schon jetzt in der Lage, eine ausreichende Rauschunempfindlichkeit zu gewährleisten. Wenn aber die Datengeschwindigkeiten ansteigen, etwa bis zu 2300 Baud, wird das Rauschen auf der Starkstromleitung in erhöhtem Maße zu einem Störfaktor, welcher Datenfehler verursacht.

Der Erfindung liegt daher die Aufgabe zugrunde, ein neues, verbessertes Netzleitungs-Trägerfrequenz-Nachrichtensystem zu schaffen, das in der Lage ist, auch bei noch höheren Datengeschwindigkeiten für die erforderliche Unempfindlichkeit gegen durch Rauschen verursachte Datenfehler zu sorgen. Ferner soll durch die Erfindung ein ganz besonders zuverlässiger Formatstandard eines Netzleitungs-Trägerfrequenz-Nachrichtensystems zum Senden und Empfangen von Daten geschaffen werden.

Gegenstand der Erfindung ist ein Netzleitungs-Trägerfrequenz-Nachrichtensystem mit einer Einrichtung zum Formatieren paralleler Daten zur seriellen Übertragung über eine Starkstromleitung. Außerdem zieht die Formatiereinrichtung aus seriellen Daten, die über die Starkstromleitung empfangen werden, parallele Daten heraus, die danach verarbeitet werden. Ein Mikrocontroller wird benutzt zum Formatieren eines eingehenden bytebreiten Datenstroms in einen Ausgangs-Nachrichtbitstrom zur seriellen Übertragung über eine

Starkstromleitung. Der Mikrocontroller zieht einen ausgehenden bytebreiten Datenstrom aus einem seriellen Eingangs-Nachrichtbitstrom heraus, der über die Starkstromleitung empfangen wird. Der Mikrocontroller umfaßt unter einer Programmsteuerung eine Formatiereinrichtung, welche anspricht auf aufeinanderfolgende parallele Datenbytes, die in dem eingehenden bytebreiten Datenstrom auftreten und erzeugt einen Einleitungsteil eines seriellen Ausgangs-Nachrichtbitstromes, wandelt den eingehenden bytebreiten Datenstrom um in einen Datenteil des seriellen Ausgangs-Nachrichtbitstromes und erzeugt einen Prüfsummenteil des Ausgangs-Nachrichtbitstromes. Es ist eine Extrahiervorrichtung vorgesehen, die auf einen seriellen Eingangs-Nachrichtbitstrom anspricht, der einen Einleitungsteil, einen Datenteil und einen Prüfsummenteil aufweist, um aus dem Eingangs-Nachricht-Datenbitteil einen bytebreiten Datenstrom herauszuziehen, welcher aufeinanderfolgende, parallele Datenbytes enthält.

Die Formatierungseinrichtung errechnet die Ausgangs-Nachrichtprüfsumme aus den Datenbytes, welche in dem eingehenden bytebreiten Datenstrom auftreten. Die Extrahiervorrichtung arbeitet synchron mit dem Eingangs-Nachrichtbitstrom und errechnet einen Prüfsummenwert, welcher den Bits und dem entgangenen Datenteil des Eingangs-Nachrichtbitstromes entspricht; sie vergleicht den errechneten Prüfsummenwert mit den Bits in dem Prüfsummenteil des Eingangs-Nachrichtbitstromes und bildet bytebreite Ausgangsdaten aufgrund der Bestätigung der Prüfsumme. Das System weist ferner einen Sendeempfänger zum Umwandeln des Ausgangs-Nachrichtbitstromes in einen durch Frequenzverschiebung getasteten Ausgangs-Nachrichtbitstrom und auch zum Umwandeln eines eingehenden, durch Frequenzverschiebung getasteten Nachrichtbitstromes in einen entsprechenden seriellen binären Bitstrom auf. Es ist eine Kopplungsvorrichtung vorgesehen, die dazu dient, die Signale aus dem Sendeempfänger an die Starkstromleitung zu koppeln und Signale aus der Starkstromleitung an den Sendeempfänger zu koppeln. Es ist eine Abtasteinrichtung vorgesehen, um einen Eingangs-Nachrichtbitstrom aus dem Sendeempfänger an die Extrahiervorrichtung zu konditionieren. Es ist ferner eine Trägerdetektoreinrichtung vorgesehen, die dazu dient, die Extrahiervorrichtung in die Lage zu versetzen, einen Eingangsdatenbitstrom aufgrund der Feststellung des Eingangs-Nachricht-Datenbitstroms zu verarbeiten.

Die Verwendung des Mikrocontrollers gemäß der Erfindung in Netzleitungs-Trägerfrequenz-Nachrichtensystemen erlaubt die Datenübertragung über eine Starkstromleitung bei erhöhten Baud-Geschwindigkeiten, aber geringerer Empfindlichkeit gegen Rauschen.

Im folgenden wird die Erfindung anhand der durch die Zeichnungen veranschaulichten bevorzugten Ausführungsform näher erläutert. Es zeigen

Fig. 1 ein Blockschema des Netzleitungs-Trägerfrequenz-Nachrichtensystems;

Fig. 2 ein Blockschema eines Paares von Steuermodulen für das Netzleitungs-Trägerfrequenz-Nachrichtensystem gemäß der Erfindung nebst den dazugehörigen Wellenformen;

Fig. 3 ein Schaltschema der Netzleitungs-Trägerfrequenz-Sendeempfängerschaltung und der Trägerdetektorschaltung;

Fig. 4 ein Schaltschema der Datenabtastschaltung und der Mikrocontrollerschaltung;

Fig. 5 eine graphische Darstellung des bei der Erfin-

dung angewendeten Nachrichtenformats;

Fig. 6 eine graphische Darstellung des Bitperioden-Abtasttaktes.

Fig. 1 veranschaulicht in Form eines Blockschemas ein Speicherenergiehandhabungssystem. Die elektrische Speichereingangsleistung, z. B. 480 Volt mit drei Phasen, wird auf den Starkstromleitungen 10 und 12 zugeführt, um die Energie für die Speicheranlage, beispielsweise für Heizung, Belüftung, Klimatisierung (HVAC) und Kühlung bereitzustellen. Die Speichereingangsenergie wird durch die Leitung 12 dem Transformator 14 zugeleitet, der die Spannung der Eingangsenergie erniedrigt und sie bei diesem Beispiel etwa auf 208 Volt Dreiphasenleistung transformiert. Die Dreiphasenleistung mit 208 Volt kann für die Beleuchtung und verschiedene andere Einrichtungen des Speichers verwendet werden. An die Starkstromleitung 10 sind mittels der Leitungen 18 und 20 binäre Kontrollmodulen 22 und 24 angeschlossen. Die binären Kontrollmodulen 22 und 24 benutzen die Starkstromleitungen 10 und 16 als Nachrichtennetzwerk zur Verbindung mit anderen Modulen. Die binären Kontrollmodulen 22 und 24 steuern die Einrichtung, welche Leistung aus der Starkstromleitung 10 entnimmt. In ähnlicher Weise sind die binären Kontrollmodulen 26 und 28 durch Leitungen 30 und 32 an die Starkstromleitung 16 angeschlossen. Die binären Kontrollmodulen 26 und 28 stehen miteinander und mit anderen Modulen an den Starkstromleitungen 16 und 10 über die Starkstromleitung 16 in Verbindung. Die binären Kontrollmodulen 26 und 28 steuern die Einrichtung, welche der Starkstromleitung 16 Energie entzieht.

Zur Herstellung der Verbindung zwischen den Netzteilen verschiedener Spannungshöhe, d. h. in der Umgebung des Transformators 14 und den verschiedenen Phasenleitungen, ist eine Brücke 34 vorgesehen. Die Brücke 34 überträgt auf die Leitungen 36 und 38 die durch die Modulen in der Umgebung des Transformators 14 gebildeten Datennachrichten.

Ein Speicherrechner-Schnittstellenmodul 40 ist durch die Leitung 42 an die Leitung 16 angeschlossen. Der Speicherrechner-Schnittstellenmodul 40 ermöglicht den Nachrichtenzugang für den Speicherrechner 44, der durch die Leitung 46 an den Speicherrechner-Schnittstellenmodul 40 angeschlossen ist. Der Speicherrechner 44 kann dazu benutzt werden, die Steuerparameter zu entladen und einen Datenzugang für die Erzeugung eines Berichts über den Stand der Energiehandhabung zu liefern. Die Schnittstelle für die Bedienungsperson zu dem Speicherrechner wird durch das Sichtanzeigergerät (CRT) 48 gebildet, das durch die Leitung 50 an den Speicherrechner 44 angeschlossen ist. Außerdem ist der Drucker 52 durch die Leitung 54 mit dem Speicherrechner 44 verbunden, so daß Berichte über den jeweiligen Betriebsstand niedergelegt werden können.

Außerdem sind Analog-Eingangsmodulen (AIM) 56 bzw. 58 über Leitungen 60, 62 mit der Leitung 16 verbunden. Die Analog-Eingangsmodulen 56 und 58 können mit Analogsensoren, wie z. B. (nicht gezeigte) Temperatur- und Druckfühlern, verbunden sein. Die Analog-Eingangsmodulen liefern Daten zu den binären Kontrollmodulen zur Errechnung von Steuerkommandos für die Einrichtung.

Fig. 2 veranschaulicht als Blockschema den Nachrichtenverbindungssteil eines exemplarischen Paares von binären Kontrollmodulen (BCM) 100 und 102. Der Modul 100 enthält einen Mikroprozessor 102, welcher Daten über die Leitung 104 zum Mikrocontroller 106 über-

trägt und von dort empfängt. Die Daten werden durch den Mikrocontroller 106 für die Übertragung auf der Leitung 108 zu dem Sendeempfänger 110 formatiert. Der Sendeempfänger 110 moduliert die digitalen Daten in ein Analogsignal zum Anschluß über die Starkstromleitung 112.

Wenn eine Nachricht aus dem Modul 102 empfangen wird, wandelt der Sendeempfänger 100 das Analogsignal zur digitalen Form um, die über die Leitungen 114 an die Abtastvorrichtung 116 gekoppelt wird. Die Abtastvorrichtung 116 liefert ein Datensignal auf der Leitung 118 an den Mikrocontroller 106. Der Trägerdetektor 120 wird in Verbindung mit dem Sendeempfänger 110 benutzt, um das Vorhandensein eines gültigen Trägers auf der Starkstromleitung festzustellen. Der Trägerdetektor wird in dem System verwendet wegen der in einem Vielfachmodularsystem bestehenden Möglichkeit eines Widerstreits. Bei Feststellung eines gültigen Trägersignals bildet der Trägerdetektor 120 ein Vorbereitungssignal auf der Leitung 122 zum Mikrocontroller 106, um diesen in die Lage zu versetzen, Daten zu verarbeiten, die über den Sendeempfänger 110 auf dem Weg über den Abtaster 116 empfangen werden.

Der Modul 102 entspricht dem Modul 100 insoweit als ebenfalls ein Sendeempfänger 126 und ein Trägerdetektor 128 an die Starkstromleitung angeschlossen sind. Der Ausgang des Sendeempfängers 126 ist durch die Leitung 130 mit der Abtastvorrichtung 132 verbunden. Der Ausgang der Abtastvorrichtung 132 ist durch die Leitung 134 mit einem Mikrocontroller 136 verbunden. Der Mikrocontroller 136 ist ebenfalls mit dem Sendeempfänger 126 und dem Trägerdetektor 128 durch die Leitung 138 bzw. 140 verbunden. Daten werden zwischen dem Mikrocontroller 136 und dem Mikroprozessor 144 über die Leitung 142 gekoppelt.

In Fig. 2 ist ein beispielsweise übertragener Nachrichtenabschnitt veranschaulicht, der vom Mikrocontroller 106 über die Leitung 108 zum Sendeempfänger 110 übertragen werden kann. In dem auf der Leitung 108 übertragenen Nachrichtenabschnitt sind die Bits i und $i+2$ mit dem Logikpegel 0 dargestellt, während die Bits $i+1$ und $i+3$ dem Logikpegel 1 entsprechen. Wenn der übertragene Nachrichtenabschnitt an die Starkstrom- oder Netzleitung 112 gekoppelt ist, kann ein unechtes Rauschen auf der Netzleitung, das von Motoren, Kompressoren oder anderen elektrischen Geräten herührt, zugleich mit der Nachrichtenübertragung auftreten. Dieses Rauschen kann Fehler in den Daten oder eine Abweisung der Nachricht als ungültig zur Folge haben.

Wenn der Modul 100 eine Nachricht überträgt, empfängt der Modul 102 nebst allen anderen Modulen des Netzwerks die Nachricht. Ein auf der Leitung 130 empfangener Nachrichtenabschnitt aus dem Modul 102 entspricht dem übertragenen Nachrichtenabschnitt auf der Leitung 108 des Moduls 100. Der empfangene Nachrichtenabschnitt ist durch unechte Rauschimpulse während der Bitperioden gekennzeichnet. Zum Beispiel tritt während der Periode des Bit i ein Rauschimpuls 150 auf. In ähnlicher Weise treten während des Bit $i+1$ Rauschimpulse 152 und 154 auf und während des Bit $i+2$ treten Rauschimpulse 156 und 158 auf. Die empfangenen Nachrichtenabschnitte werden durch die Abtastvorrichtung 132 konditioniert, deren Arbeitsweise später beschrieben wird, und zwar so, daß ein im wesentlichen rauschfreier Nachrichtenabschnitt, welcher dem übertragenen Nachrichtenabschnitt entspricht, gebildet wird. Dadurch, daß der konditionierte Nachrichtenab-

schnitt dem Mikrocontroller 136 als Eingang aus dem Abtaster 132 über die Leitung 134 zugeführt wird, werden die Möglichkeiten des Mikrocontrollers 136 zur unkorrekten Interpretation des Bit wesentlich vermindert. Ohne Benutzung des Abtasters 132 könnte der Mikrocontroller 136 einen Rauschimpuls, wie z. B. den Rauschimpuls 154 während des Bit $i+1$, in irrtümlicher Weise als gültigen Logikzustand in der Nachricht interpretieren. Durch Verwendung des Abtasters 132 werden die empfangenen Nachrichten so konditioniert, daß etwaige solche Rauschimpulse aus den Bits entfernt und dadurch eine irrtümliche Ablesung von Daten eliminiert wird.

Fig. 3 veranschaulicht die Schaltungen des Sendeempfängers und des Trägerdetektors. Dabei werden die Daten über die Leitungen A, B und C auf der mit Wechselstrom betriebenen Netzleitung übertragen, wobei ihre Kopplung über die Kondensatoren 200a–200c in die Wicklung 202 des Transformators 204 zur neutralen Leitung N erfolgt. Jeder der Kondensatoren 200a–200c bewirkt eine Isolation der Eingangs-Wechselstromphasenleitungen A–C voneinander, erlaubt aber die Datenübertragung auf jede Phasenleitung. Eine Sekundärwicklung 206 des Transformators 204 ist induktiv mit der Wicklung 202 gekoppelt. Das eine Ende der Wicklung 206 ist mit einem positiven Potential von 18 Volt und über einen Kondensator 208 mit Erde gekoppelt. Ein Kondensator 210 ist zwischen den Enden der Wicklung 206 angeschlossen. Der Kondensator 210 und die Wicklung 206 bilden einen Tankkreis, durch den das Rauschen in der Nachricht gedämpft wird. Das zweite Ende der Wicklung 206 ist über einen Widerstand 212 mit dem Punkt 214 verbunden. Die beschriebene Kopplungsschaltung des Transformators dient zur Kopplung der gesendeten und empfangenen Netzleitungs-Trägerfrequenz-Nachrichtensignale einerseits an die Netzleitungen und andererseits an den Modul. Dabei ist ins Auge gefaßt, daß der Modul an eine einzelne Phasenleitung angekoppelt werden kann.

Der Knotenpunkt 214 der Schaltung ist mit der Kathode einer Zenerdiode 216 verbunden, deren Anode an Erde liegt. Der Punkt 214 ist ferner mit dem Trägereingangs- bzw. -ausgangsanschluß (CARI/O) des Netzleitungs-Träger-Sendeempfängers 218 verbunden. Der Sendeempfänger 218 ist vorzugsweise ein Trägerstrom-Sendeempfänger der Firma National Semiconductor Corporation, Santa Clara, Kalif., (Typenbezeichnung LM 1893). Seine Wirkungsweise ist beschrieben in den Veröffentlichungen "A New Carrier Current Transceiver I.C." von Mitchell Lee, IEEE Transactions on Consumer Electronics, Teil 1, Band CE-28, Nr. 3, August 1982; und "A Carrier Current Transceiver I.C. for Data Transmission over the AC Power Lines" von Dennis M. Miticelli und Michael E. Wright, IEEE Journal of Solid State Circuits, Band SC-17, Nr. 6, Dezember 1982. Der Sendeempfänger 218 dient zur Umwandlung eines digitalen Bitstromsignals, das an einem Datensendeingang (Tx/D) empfangen wird, in einen durch Frequenzverschiebung getasteten modulierten Analogsignalausgang, wenn ein logisches "Hoch"- oder "1"-Signal einem wählbaren Sende-/Empfangseingang (Tx/Rx) zugeführt wird. Der Tx/Rx-Eingang ist über einen Widerstand 226 mit einem positiven Potential von 5 Volt verbunden.

Das übertragene Signal wird von dem Sendeempfänger 218 abgegeben und über eine externe Verstärkerstufe dem Sendeempfänger 218 zugeführt.

Die Verstärkerstufe enthält einen Widerstand 220, der zwischen der Basis und dem Emitter eines Transi-

stors 222 liegt, dessen Basis mit dem Basisanschluß (BB) der Verstärkerstufe und dessen Emitter mit dem Emitterschluß (BE) der Verstärkerstufe des Sendeempfängers verbunden ist. Der Kollektor des Transistors 222 ist mit dem Punkt 214 verbunden. Der Emitter des Transistors 222 ist über den Widerstand 224 mit Erde verbunden.

Bei der Arbeitsweise "Empfang" wird der Eingang Tx/Rx von einem Logiksignal "niedrig" oder "0" betrieben. Ein Eingangsträgersignal gelangt von dem Punkt 214 an den Eingang CARI/O als ein serieller, durch Frequenzverschiebung gestauter Bitstrom (FSK). Der Sendeempfänger wandelt die FSK-Daten in die digitale Form um, so daß an einem Empfängergerausch (Rx/D) ein entsprechender serieller digitaler Bitstrom vorhanden ist.

Mit dem Sendeempfänger 218 ist eine Sichtanzeigeschaltung verbunden, welche die Anzeige bezweckt, ob der Sendeempfänger sich im Sendebetrieb oder im Empfangsbetrieb befindet. Die Sichtanzeigeschaltung besteht im wesentlichen aus einem Inverter 228, dessen Eingang mit dem Tx/Rx-Eingang verbunden ist, während sein Ausgang an die Kathode der Leuchtdiode LED 230 angeschlossen ist. Die Anode der Leuchtdiode 230 ist über den Hochzieh-Widerstand 232 mit einem positiven Potential von 5 Volt verbunden. Wenn das Tx/Rx-Signal "hoch" ist (Sendebetrieb), ist die Leuchtdiode 230 eingeschaltet; ihr Leuchten zeigt den Sendebetrieb an. Der Datenempfangsausgang (Rx/D) ist in entsprechender Weise über einen Hochzieh-Widerstand 238 an ein positives Potential von 5 Volt angeschlossen.

Der Tx/Rx-Eingang ist auch an die Anode der Zenerdiode 234 angeschlossen. Die Kathode der Diode 234 ist über den Kondensator 236 mit Erde und über den Widerstand 237 mit dem Eingang (ALC) des Sendeempfängers 218 verbunden. Dieser Teil der Sendeempfängerschaltung dient dazu, die selbsttätige Regelschaltung für den Pegel des Sendeempfängers 218 zu steuern.

Die dem Sendeempfänger 218 zugeführte Spannung ist regelmäßig positiv und beträgt 18 Volt; sie wird einem Eingang V+ zugeführt. Der Eingang V+ ist auch über die parallel geschalteten Kondensatoren 240 und 242 mit Erde verbunden. Der Sendeempfänger 218 enthält eine innere Zenerdiode mit 5,6 Volt Bezugsspannung an einem Eingang Z, der über einen Widerstand 244 an einem positiven Potential von 18 Volt liegt. Ein Kondensator 246 liegt zwischen den Eingangsanschlüssen CAP1 und CAP2, während ein Eingang FREQ über eine Reihenschaltung eines Widerstands 248 und eines Potentiometers 250, welche die Mittenfrequenz des Trägers festlegen, an Erde liegt. Ein Begrenzerfiltereingang (LF) ist über einen Kondensator 252 an Erde gelegt. In entsprechender Weise sind der Eingangsanschluß eines Abstandshalte-kondensators (offset hold capacitor OH-CAP) bzw. der Rauschintegratoreingang (NI) über Kondensatoren 254 und 256 an Erde gelegt. Der Eingang eines Sendeempfänger-Phasenverriegelungsschleifenfilters (PLL1) ist durch eine Reihenschaltung eines Widerstands 258 und eines Kondensators 260 mit einem zweiten Phasenverriegelungsschleifenfilter (PLL2) gekoppelt.

Eine Trägerdetektoreinrichtung ist über einen Schalter oder Springer 262 mit dem Knotenpunkt 214 verbunden. Eine Reihenschaltung aus Kondensator 264 und Widerstand 266 verbindet den Punkt 214 über den Springer 262 mit dem nicht-invertierenden Eingang des Verstärkers 268. Der nicht-invertierende Eingang des Verstärkers 268 ist auch über den Widerstand 270 mit

Erde gekoppelt. Die mit entgegengesetzten Wirkungsrichtungen parallel geschalteten Dioden 272 und 274 liegen zwischen dem nichtinvertierenden Eingang des Verstärkers 268 und Erde, so daß die Amplitude eines in die Trägerdetektorschaltung gelangenden Signals begrenzt wird, wenn der Sendeempfänger im Sendebetrieb auf die Starkstromleitung arbeitet. In der Trägerdetektorschaltung ist eine Reihenschaltung des Kondensators 264 und des Widerstands 266 enthalten, um einen Kurzschluß am Sendeempfangerausgang zu verhindern, wenn der Sendeempfänger im Sendebetrieb auf die Starkstromleitung arbeitet.

Der invertierende Eingang des Verstärkers 268 ist mit der Mittenanzapfung des Potentiometers 276 verbunden. Das Potentiometer 276 liegt zwischen Erde und dem einen Ende des Widerstands 278. Das andere Ende des Widerstands 278 liegt an einem positiven Potential von 5 Volt. Der Kondensator 280 liegt zwischen dem invertierenden Eingang des Verstärkers 268 und Erde. Die Eingangsenergie am Verstärker 268 wird von einem Spannungseingang geliefert, der mit einem Potential von 5 Volt verbunden und zugleich über den Kondensator 282 mit Erde gekoppelt ist. Für den Verstärker 268 kann die eine Hälfte eines Dualverstärkerplättchens (Typenbezeichnung LM 383) verwendet werden.

Der Ausgang des Verstärkers 268 ist mit der Anode der Diode 284 verbunden, während die Kathode der Diode 284 über den Kondensator 286 an Erde gekoppelt ist. Der Ausgang des Verstärkers 268 ist ferner über den Hochzieh-Widerstand 288 mit einem positiven Potential von 5 Volt verbunden. Zwischen Anode und Kathode der Diode 284 liegt ein Widerstand 290.

Die Verbindung der Kathode der Diode 284, des Widerstands 290 und des Kondensators 286 liegt an dem invertierenden Eingang des Verstärkers 292. Der Verstärker 292 kann durch die andere Hälfte des Dualverstärkerplättchens vom Typ LM 383 gebildet sein. Der Ausgang des Verstärkers 292 liegt über eine Rückkopplungsschaltung, bestehend aus den Widerständen 294, 296, 298 und 300, an dem nicht-invertierenden Eingang des Verstärkers 292. An der Rückkopplungsschaltung liegt ein positives Potential von 5 Volt. Das positive Potential mit 5 Volt ist durch den strombegrenzenden Widerstand 302 mit der Anode der Leuchtdiode LED 304 verbunden, deren Kathode an dem Ausgang des Verstärkers 292 liegt. Die Leuchtdiode LED 304 leuchtet auf, wenn ein Träger festgestellt worden ist.

Die grundsätzliche Arbeitsweise der Trägerdetektorschaltung ist folgende: Das an dem nicht-invertierenden Eingang des Verstärkers 268 empfangene Signal wird verstärkt und an die Gleichrichterschaltung, bestehend aus der Diode 284 und dem Widerstand 290, abgegeben, welche dann den Kondensator 286 auflädt, die an dem Kondensator 286 liegt eine gefilterte Gleichspannung, die eine Funktion der Trägeramplitude am Eingang des Verstärkers 268 ist. Die Ausgangsstufe der Trägerdetektorschaltung, welche aus dem Verstärker 292 und der Rückkopplungsschaltung besteht, ist grundsätzlich eine Vergleicherschaltung. Wenn die Spannung an dem Kondensator 286 die Bezugsspannung erreicht, die an dem nicht-invertierenden Eingang des Verstärkers 292 auftritt, ändert die Ausgangsspannung des Verstärkers 292 ihren Zustand. Es besteht also ein logischer Zustand "1" oder "0" am Ausgang des Verstärkers 292 als das CARDET-Signal in Abhängigkeit davon, ob ein Trägersignal am Eingang des Verstärkers 268 vorhanden ist. Das Potentiometer 276 erlaubt die Einstellung des Schwellwerts am Vergleichsverstärker 268, so daß die Empfindlichkeit

der Ausgangsstufe hinsichtlich der Feststellung eines Trägersignals eingestellt wird.

Fig. 4 veranschaulicht eine Abtastvorrichtung zum Abtasten von durch den Sendeempfänger aus der Starkstromleitung empfangenen Daten. Ferner ist in Fig. 4 ein Mikrocontroller gezeigt, der zum Formatieren von Daten zur Übertragung über die Starkstromleitung und zum Herausziehen von Daten aus einer empfangenen formatierten Nachricht dient.

Die Abtastvorrichtung umfaßt Schieberegister 400 und 402, Zähler 404 und Logikgatter 406 und 408. Die Schieberegister 400 und 402 sind Schieberegister für serielle Eingabe bzw. parallele Ausgabe von 8 Bit, insbesondere solche mit der Typenbezeichnung 74HC164. Das Schieberegister 400 hat zwei Signaleingänge (*A* und *B*), die mit dem *RxD*-Ausgang des Sendeempfängers 218 und einem Taktsignaleingang (*CLK*) verbunden sind, der mit einem (nicht dargestellten) 40-kHz-Oszillator verbunden ist. Der Auslöseeingang (clear input *CLR*) des Schieberegisters 400 ist mit einem Ausgang (*D 2*) des Mikrocontrollers 410 verbunden. Ein Ausgang (*QA*) des Schieberegisters 400 ist mit einem Eingang eines exklusiven-ODER-Gatters 406 verbunden. Ein anderer Ausgang (*QH*) des Schieberegisters 400 ist mit zwei Signaleingängen (*A* und *B*) des Schieberegisters 402 verbunden.

Der Taktsignaleingang (*CLK*) des Schieberegisters 402 ist mit dem 40-kHz-Oszillator gekoppelt. Der Auslöseeingang (*CLR*) des Schieberegisters 402 ist mit dem Ausgang (*D 1*) des Mikrocontrollers 410 verbunden. Ein Schalter oder Springer 412 erlaubt die wahlweise Verbindung des Ausgangs des Schieberegisters 402, nämlich des Ausgangs (*QF* oder *QH*), mit einem anderen Eingang des Gatters 406. Der Ausgang des Gatters 406 ist über den Inverter 408 mit einem die Zählung vorbereitenden Eingang (*CTEN*) des Zählers 404 verbunden.

Der Zähler 404 ist ein binärer Auf/Ab-Zähler für 4 Bit, insbesondere ein solcher mit der Typenbezeichnung 74HC 191. Der gewählte Ausgang des Schieberegisters 402 (*QF* oder *QH*) ist mit dem Ab/Auf-Eingang (down/up input *DN/UP*) des Zählers 404 verbunden. Der Taktsignaleingang (*CLK*) des Zählers 404 ist ebenfalls an den 40-kHz-Oszillator angeschlossen, während der Lastdateneingang (*LD*) mit dem *DI*-Ausgang des Mikrocontrollers 410 verbunden ist. Die Dateneingänge des Zählers 404 (*A*, *B*, *C* und *D*) werden durch Kopplung mit dem Ausgang des Inverters 414 niedrig gehalten, dessen Eingang durch den Hochzieh Widerstand 416 an ein positives Potential mit 5 Volt angebunden ist. Der Schalter oder Springer 418 verbindet wahlweise den Zählerdateneingang (*A*) entweder mit dem Ausgang des Inverters 414 oder dem 5 Volt-Potential über den Widerstand 416. Der Ausgang (*QD*) des Zählers 404 ist mit dem Eingang *A 4* des Puffers 420 verbunden, der einen entsprechenden Ausgang *Y 4* besitzt, welcher zum Eingang *G 3* des Mikrocontrollers 410 führt.

Der Mikrocontroller 410 kann ein Mikrocontroller auf einem einzelnen Chip sein, z. B. einem solchen vom Typ COP440 der National Semiconductor Corporation. Der Mikrocontroller 410 enthält eine arithmetische Logikeinheit, einen Programmspeicher, Ein- und Ausgangspuffer, eine Befehlsdekodier/Steuerlogik sowie eine Datensammelleitung. Der Mikrocontroller 410 ist so programmiert, daß er als eine "intelligente Datenschnittstelle" (as an "intelligent UART") wirkt, welche 8 Bit umfassende Datenbytes formatiert, die von einem (nicht dargestellten) Mikroprozessor auf einer Datensammelleitung (*D-BUS*, *D 0–D 7*) an Ausgängen

L 0–L 7 des Mikrocontrollers 410 empfangen werden, der mit einem internen Pufferregister gekoppelt ist. Die eingehenden Daten werden auf einer internen Datensammelleitung an einen RAM-Speicher (Direktzugriffsspeicher) zur Verarbeitung gekoppelt. Die Ausgänge *R 0–R 7* des Mikrocontrollers 410 sind an die 8 Bit-Adressensammelleitung (*A-BUS*, *A 0–A 7*) des Mikroprozessors gekoppelt.

Von dem (nicht dargestellten) Oszillator wird ein 4 MHz-Signal zu dem Taktgebereingang (*CLK 1*) des Mikrocontrollers 410 zwecks Taktgebung für den Prozessor geliefert. Der Mikrocontroller 410 kann von dem Mikroprozessor aus durch Setzen des Signals *PLC RST+* in einen Logikzustand "1" oder durch die Verdrahtung während eines "Leistung-auf"-Zustandes zurückgestellt werden, welcher das Signal *MR+* auf einen Logikzustand "1" setzt. Diese beiden Signale sind durch das Gatter 402 mit dem Rückstelleingang (*RESET*) des Mikrocontrollers 410 gekoppelt. Der Mikroprozessor liefert das Signal (*PLC SEL-*) durch den Puffer 420 an den *G 1*-Eingang des Mikrocontrollers 410. Dieses Signal wird (bei Einstellung auf einen Logikzustand "0") gebraucht, um eine Datenübertragung zwischen dem Puffer 420, über den Schalter oder Springer 428 an den *H 2*-Eingang des Mikrocontrollers 410 einzuleiten. Dieses Signal wird in Verbindung mit *G 1* dazu benutzt, um eine Schreibübertragung (Logikzustand "0") oder eine Leseübertragung (Logikzustand "1") anzuzeigen. Der Mikrocontroller 410 liefert das Signal (*PLC RDYI-*) von dem *G 0*-Ausgang zu dem Mikroprozessor. Dieses Signal wird dazu benutzt anzuzeigen, wann die Datenübertragung vollendet ist. Das Trägerfeststellungssignal (*CARDET-*) aus der Trägerdetektorschaltung wird einem Eingang (*IN 2*) des Mikrocontrollers 410 zugeführt. Das Trägerfeststellungssignal setzt den Mikroprozessor in die Lage, mit der Verarbeitung eines an dem *G 3*-Eingang aus der Abtastschaltung empfangenen Datenstroms zu beginnen.

Der Mikrocontroller 410 hat eine Reihe von Allgemeinweckausgängen *D 0–D 3*, wobei der *D 0*-Ausgang mit dem *TxD*-Eingang des Sendeempfängers 218 so gekoppelt ist, daß die formatierten Daten, d. h. ein serieller Bitstrom, zur Übertragung über die Starkstromleitung geliefert werden. Die Ausgänge sind ein Ausgang aus einem internen Pufferregister des Mikrocontrollers 110. Der *D 1*-Ausgang ist an den Rückstell-Logikkonverter 424 gekoppelt, der seinerseits mit dem zum Puffer 420 gehörenden Zähler 404 gekoppelt ist, und ferner mit den Schieberegistern 400 und 402, um deren Betrieb jeweils nach Übertragung eines formatierten Bitstroms zurückzustellen. Die Zurückstellung dieser Komponenten geschieht zur Löschung etwaiger außergewöhnlicher Signale, welche die Gültigkeit zukünftiger Daten beeinträchtigen könnten. Der *D 2*-Ausgang ist an den *Tx/Rx*-Eingang des Sendeempfängers 218 gekoppelt, wobei der Zustand des Signals auf dieser Leitung die Sendeschaltung oder die Empfangsschaltung des Sendeempfängers 218 zur Wirkung bringt. Bei Konfiguration oder Ausbildung als binärer Kontrollmodul wird der *D 3*-Ausgang nicht gebraucht. Das Signal *IO/M* wird über den Schalter oder Springer 426 an das Signal *IO ENBL-* gekoppelt. Das Signal *IO/M* stammt aus dem Mikroprozessor und wird gebraucht, um den Beginn eines *I/O* (Logikzustand "0") oder Speichersammelleitungszyklus (Logikzustand "1") anzuzeigen. Bei Ausbildung als ein binärer Ausgangsmodul wird der *D 3*-Ausgang über den Schalter oder Springer 426 angekopelt, um das Signal *IO ENBL-* zu liefern. Bei dieser

Ausbildung kann der Mikrocontroller 410 einen I/O-Sammelleitungszyklus durch Setzen dieses Signals auf einen Logikzustand "0" einleiten.

Der Mikrocontroller 410 enthält auch vier zusätzliche Allgemeinzweckausgangsanschlüsse (*H0*–*H3*). Der *H0*-Ausgang wird an den Mikroprozessor gekoppelt, wenn ein Signal (*PLC INTR*–) eine Unterbrechung an den Mikroprozessor liefert, welche anzeigt, daß ein Signal empfangen worden ist und Daten daraus innerhalb des Mikrocontrollers extrahiert wurden. Der Ausgang *H1* liefert ein Signal (*PLC BUSY*–) an den Mikroprozessor als Zustandsanzeige (status flag), daß der Mikrocontroller im Begriff ist, eine Nachricht entweder zu formatieren oder zu entformatieren und nicht in der Lage ist, auf Kommandos aus dem Mikroprozessor zu reagieren. Bei Ausbildung als binärer Kontrollmodul wird der *H2*-Eingang durch den Mikrocontroller 410 dazu benutzt, die Richtung der Datenübertragung zu bestimmen. Ein Logikzustand "0" zeigt an, daß Daten von dem Mikroprozessor zu dem Mikrocontroller 410 übertragen werden. Ein Logikzustand "1" zeigt an, daß Daten von dem Mikrocontroller 410 zu dem Mikroprozessor übertragen werden. Bei Ausbildung als ein binärer Ausgangsmodul wird der *H2*-Ausgang als Ausgang in Verbindung mit dem *D3*-Ausgang benutzt. Der Ausgang aus dem Anschluß *D3* zeigt den Beginn des I/O-Sammelleitungszyklus an und *H2* wird dazu benutzt, die Richtung der Datenübertragung zu bestimmen. Der Ausgang aus *H2* wird über den Inverter 430 an den Schalter oder Springer 432 bzw. an das Signal *RD*– gekoppelt. Der Ausgang aus *H2* wird auch über den Schalter oder Springer 428 an das Signal *WR*– gekoppelt. Ein Logikzustand "0" an *H2* dient zur Anzeige einer Schreibübertragung, während ein Logikzustand "1" dem Mikrocontroller 410 eine Leseübertragung anzeigt.

Der Mikrocontroller hat vier Allgemeinzweckeingänge (*IN0*–*IN3*), wobei der *IN0*-Eingang stets über den Ausgang des Inverters 414 an einen niederen Logikpegel angebunden ist. Die *IN1*–*IN3*-Eingänge werden durch den Hochzieh Widerstand 434 auf einem 5 Volt-Potential hochgehalten. Wie vorher erörtert, ist der Eingang *IN2* an das Trägerfeststellungssignal (*CARDET*–) gekoppelt.

Bei Ausbildung als ein binärer Kontrollmodul ist der serielle Eingang (*SI*) des Mikrocontrollers 410 über den Schalter oder Springer 436 und den Hochzieh Widerstand 438 an ein 5 Volt-Potential gekoppelt. Dieses wird durch den Mikrocontroller benutzt, um die Art der vorhandenen Konfiguration zu identifizieren. Bei Ausbildung oder Konfiguration als binärer Ausgangsmodul ist der serielle Eingang (*SI*) über den Schalter 436 an den Inverter 414 gekoppelt, der über den Hochzieh Widerstand 416 mit einem 5 Volt-Potential verbunden ist. Somit zeigt ein Logikzustand "1" an dem (*SI*)-Eingang an, daß die Konfiguration ein binärer Kontrollmodul ist, während ein Logikzustand "0" anzeigt, daß die Konfiguration ein binärer Ausgangsmodul ist. Der binäre Ausgangsmodul erfüllt nur Ausgangskontrollfunktionen in Abhängigkeit von Kommandos, die über das Netzwerk ohne unabhängige Verarbeitung abgegeben werden.

Wenn der Mikrocontroller nicht damit beschäftigt ist, eine empfangene Information zu verarbeiten, sucht der Mikroprozessor das *PLC SEL*-Signal dazu zu bringen, die Formatierung aufeinanderfolgend angelegter Bytes paralleler Daten mit 8 Bits zu beginnen, die aus dem Mikroprozessor auf der Datensammelleitung (*D-BUS*) dargeboten werden. Der Mikrocontroller 410 forma-

tiert die Daten zu einem seriellen Nachrichtbitsstrom zur Übertragung mittels des Sendeempfängers über die Starkstromleitung. Das Schema des bevorzugten Nachrichtformats ist in Fig. 5 veranschaulicht.

Der formatierte Bitstrom enthält gemäß Fig. 5 einen dreiteiligen Einleitungsabschnitt zur Synchronisierung des empfangenden Sendeempfängers und zur Einleitung einer Nachrichtfehlerfeststellung. Der Einleitungsabschnitt besteht aus der *PLC*-Einleitungsperiode, gefolgt von der Sendeempfänger-Synchronisationsperiode, die wiederum gefolgt ist von einem einmaligen Codewort, das analytisch ausgewählt wurde, um die Chancen eines festzustellenden Synchronisationsfehlers zu minimieren.

Der erste Teil des Einleitungsabschnitts ist die *PLC*-Einleitung, welche aus vier Zyklen abwechselnder "1"- und "0"-Zustände besteht. Die *PLC*-Einleitungsfolge wird von einem empfangenden Sendeempfänger benutzt. Die automatische Einstellungsfunktion des empfangenden Sendeempfängers erfordert den Empfang eines Hoch- und eines Niedrig-Überganges, damit die phasenverriegelte Schleife auf dem ankommenden Träger verriegelt wird. Somit kann der *PLC*-Kreis keine Gewähr dafür bieten, daß er auf dem ersten Eins- und Null-Übergang gültige empfangene Daten ausgibt. Jedoch versucht während dieses Zeitabschnitts die empfangende Einheit, den Start einer Bitzeit zu bestimmen. Sie tut dies durch Einleiten ihrer Empfangs-Taktsignale, wenn ein Übergang auftritt. Da für die Gültigkeit des ersten Übergangs keine Garantie geboten ist, gibt es für den Empfänger drei zusätzliche Hoch-Niedrig-Übergänge, um seinen Takt zu synchronisieren. Drei Übergänge statt eines einzigen sind vorgesehen, um dem Empfänger entsprechend viele Möglichkeiten zu geben, sich auf das ankommende Signal zu synchronisieren, ohne daß eine ins Gewicht fallende Verzögerung der Übertragung verursacht wird.

Der zweite Teil des einleitenden Abschnitts besteht aus einer Sende-/Empfangs-Synchronisationsperiode. Der Sender sendet zwei Nullen, gefolgt von einer Eins, gefolgt wiederum von zwei Nullen, gefolgt von zwei Einsen. Diese werden von dem Empfänger benutzt, um anzuzeigen, daß die *PLC*-Einleitungsfolge vollendet ist. Da der Empfänger die Möglichkeit hat, sich auf mehr als einen Punkt innerhalb der Einleitungsfolge zu synchronisieren, ist dieser Teil des Einleitungsabschnitts so ausgebildet, daß der Empfänger leicht das Ende des Einleitungsabschnitts identifizieren und sich auf die Prüfung des darauf folgenden Codeworts präparieren kann. Er tut dies, indem er auf das erste Auftreten zweier Nullen in dem empfangenen Bitstrom wartet. Dieses kann leicht von einem abwechselnden, aus Null und Eins bestehenden Muster im ersten Teil des Einleitungsabschnitts unterschieden werden. Denn in dem Fall, wenn die erste Reihe zweier Nullen unkorrekt empfangen wird, sendet der Sender eine zweite Reihe zweier Nullen. Damit sind dem Empfänger zwei Chancen gegeben, das Ende der Einleitungsfolge richtig zu identifizieren.

Der dritte Teil des Einleitungsabschnitts besteht aus einem einmaligen Codewort für das auf der Starkstromleitung übertragene Nachrichtenformat, welches benutzt wird, um zu bestätigen, daß der empfangende Mikrocontroller sich richtig mit der ankommenden Nachricht synchronisiert hat. Das Codewort besteht aus zwei "Nullen", gefolgt von drei "Einsen", auf die wiederum eine "Null", eine "Eins" und eine "Null" folgen. Der empfangende Mikrocontroller bestimmt aufgrund der Bestätigung dieser Folge durch interne Festwerte des Mi-

krocontrollern, daß eine gültige Nachricht folgen wird. Ist einmal das Codewort von dem empfangenden Mikrocontroller bestätigt, so synchronisiert der Mikrocontroller nicht nochmals den Datenteil der Nachricht.

Der Mikrocontrollerchip ist aus zahlreichen Funktionsblöcken kombiniert: Zu diesen gehören die zentrale Prozessoreinheit (CPU), die arithmetische Logikeinheit (ALU), ein Festwertspeicher (ROM), ein Direktzugriffsspeicher (RAM), eine Zähler/Taktgebereinheit sowie Eingangs- und Ausgangskreise. Alle diese Funktionsblöcke werden sowohl für den Sende- als auch für den Empfangsbetrieb benutzt.

Während einer Sendung wird zunächst die ganze Nachricht von dem Mikroprozessor in den inneren RAM des Mikrocontrollers übertragen; sie wird dort als eine Reihe von aufeinanderfolgenden Bits gespeichert. Ist einmal die Übertragung vollendet, setzt der Mikrocontroller den Tx/Rx-Ausgang (D 2) auf einen logischen Zustand Eins. Dadurch wird der PLC-Sendeempfänger auf den Sendebetrieb geschaltet. Der Mikrocontroller setzt dann den Tx-D-Ausgang (DO) auf den Zustand des ersten Bit in der Sendenachricht. Der Zähler/Taktgeber wird dann gesetzt, so daß er den CPU einmal je Bitzeit ($1/2300$ Sekunden) unterbricht. Jedesmal, wenn eine Zähler/Taktgeberunterbrechung auftritt, überträgt der Mikrocontroller den nächsten Bit in der Nachricht.

Während eines Empfangs benutzt der Mikrocontroller die Eingangsanschlüsse Rx-D (G 3) und CARDET- (IN 2). Wenn der CARDET- einen Übergang von einem Logikzustand "1" auf einen Logikzustand "0" ausführt, benutzt der Mikrocontroller dies als Anzeige, daß gerade eine Nachricht übertragen wird. Er prüft dann die eintreffenden Daten aus dem Rx-D-Eingang und wartet auf einen Hoch-Niedrig-Übergang. Dieser Übergang bezeichnet den Beginn eines Bittaktes. Der Mikrocontroller zögert dann um einen halben Bittakt und veranlaßt dann den Zähler/Taktgeber zu jeweils einer Unterbrechung je Bitzeit ($1/2300$ Sekunden), von der Mitte des empfangenen Bit aus gerechnet. Dann liest der Mikrocontroller jedesmal, wenn eine Zähler/Taktgeberunterbrechung auftritt, den Zustand des Rx-D-Eingangs ab und bewahrt den Zustand dieses Bit in seinem RAM auf. Durch das Aufbewahren der Bits baut der Mikrocontroller sequentiell die gesamte empfangene Nachricht in dem RAM auf. Ist dies vollendet, wird eine Prüfsumme errechnet und in der empfangenen Nachricht bestätigt.

Auf das Codewort folgt das Startbit der Nachricht, das aus einer "1" besteht. Im Anschluß an das Startbit folgt die Datennachricht. Die Datennachricht wird von dem Byte mit dem höchsten Stellenwert zu dem Byte mit dem geringsten Stellenwert und innerhalb jedes Byte von dem Bit mit dem höchsten Stellenwert zu dem Bit mit dem geringsten Stellenwert übertragen.

Direkt auf die Startbits folgt ein Rahmenkontrollbyte, bestehend aus einem 8-Bitfeld, das dazu benutzt wird, die Nachrichtenart zu identifizieren, wie z. B. eine Rundfunksystemnachricht, ein Modulkommando, eine Systemanfangsnachricht, eine Modulabfrage oder ein Ein-/Ausgabekommando.

Im Anschluß an das Rahmenkontrollbyte folgt ein Quellenkontrollbyte, bestehend aus einem 8-Bitfeld, welches die Adresse des Moduls enthält, der die Nachricht begonnen hat. Diese Adresse wird bestimmt durch Sechseckschalter (hex switches), die auf eine vorbestimmte einmalige identifizierende Adresse für jeden Modul eingestellt sind. (Soweit in dieser Anmeldung von Sechseckschaltern (hex switches) gesprochen wird, handelt es sich um Hexadezimalschalter bzw. Sedezimal-

schalter.) Der Quellenadressbyte (source address byte) identifiziert den Modul, der die Sendung hervorbracht hat. Anschließend an den Quellenadressbyte folgt ein Datennachricht-Stopp/Startbit, bestehend aus einer "1", gefolgt von einer "0".

Im Anschluß an den Quellenadressbyte werden die Datennachricht-Stopp/Startbits in die übertragene Datennachricht durch den Formatierungs-Mikrocontroller eingesetzt. Die Datennachricht-Stopp/Startbits werden zur Bestätigung der Synchronisation auf den ankommenden Daten durch den Empfangs-Mikrocontroller verwendet. Die Datennachricht-Stopp/Startbits werden in die übertragene Nachricht mit Intervallen von 16 Bits eingesetzt.

Auf das erste Auftreten von Datennachricht-Stopp/Startbits folgt ein 8-Bitfeld als Bestimmungsadressbyte, welches die Adresse des Moduls enthält, der die Nachricht empfangen soll. Im Anschluß an den Bestimmungsadressbit wird ein 8-Bitfeld benutzt, wenn die Datennachricht über einen Brückenmodul gesandt wird. Diese Adresseninformation wird von dem Brückenmodul benutzt, um die letzte Bestimmung festzulegen, wenn die Nachricht durch die Brücke zurückgesandt oder weitergeleitet werden soll. Die Bestimmungsadresse kann die Adresse des Brückenmoduls sein, wenn Nachrichten über die Brücke zwecks Rücksendung oder Weiterleitung an einen endgültigen Modul übertragen werden.

Im Anschluß an den Adressenverlängerungsbyte folgen Datennachricht-Stopp/Startbits, in der Regel eine "1", gefolgt von einer "0". Wie zuvor werden die Datennachricht-Stopp/Startbits von dem empfangenden Mikrocontroller benutzt, um die Synchronisation der ankommenden Daten zu bestätigen.

Auf die zweite Gruppe von Datennachricht-Stopp/Startbits folgt das Datenfeld. Das Datenfeld kann entweder ein einzelnes Bytedatenfeld mit 8 Bits sein, wie in Fig. 5 dargestellt, oder ein 9-Bytedatenfeld mit 72 Bits. Wenn das Datenfeld 9 Bytes umfaßt, werden bei Intervallen von 16 Bits Datennachricht-Stopp/Startbits eingefügt wie vorher beschrieben.

Wie in Fig. 5 dargestellt, ist das Datenfeld ein einzelnes Datenfeldbyte, gefolgt von einem Prüfsummenbyte. Das Prüfsummenbyte ist ein 8-Bitfeld, das zwei 4-Bit-Prüfwerte enthält. Der erste Prüfwert ist ein 4-Bit-exklusives-ODER des Inhalts der Datennachricht, abzüglich der Datennachricht-Stopp/Startbits, d. h. eines Rahmenkontrollbytes, eines Quellenadressbytes, eines Bestimmungsadressbytes, eines Adressenverlängerungsbytes und des Datenfeldbytes. Der zweite 4-Bit-Prüfwert ist eine 4 Bit umfassende Summe der Anzahl von Bits in der Datennachricht, abzüglich der Datennachricht-Stopp/Startbits, die auf "1" gesetzt sind.

Ein Prüfsummenbyte wird verwendet, um anzuzeigen, daß die empfangenen Datenachrichtbits bezüglich der übertragenen Datennachrichtbits richtig sind, d. h. ihnen genau entsprechen. Auf die Prüfsummenbits folgen Stoppbits, welche das Ende der Nachrichtenübertragung anzeigen. Die Stoppbits werden als zwei "0"-Werte übertragen.

Wenn die empfangende Modulträgerdetektorschaltung ein Trägersignal feststellt, liefert sie ein Signal CARDET- an den empfangenden Mikrocontroller. Dieses Signal befähigt den Mikrocontroller, andere konkurrierende Vorgänge zu unterbrechen und die Nachricht zu empfangen. Eine Synchronisation des Sendeempfängers tritt während der PLC-Einleitungsperiode der Nachricht auf wie vorher erörtert. Die Synchronisation des empfangenden Mikrocontrollers erfolgt, wenn ein

erster Hoch-Niedrig-Übergang während der Sende/Empfangssynchronisationsperiode auftritt; der Mikrocontroller nimmt dann seinen Empfangstakt auf. Nach dem Auftreten des Hoch-Niedrig-Übergangs macht der empfangende Mikrocontroller drei zusätzliche Ablesungen des Zustands der ankommenden Daten während derselben Bitzeit. Wenn zwei von diesen drei Ablesungen angeben, daß die Daten sich noch in dem Niedrigzustand befinden, dann ist die Synchronisation bestätigt. Sollten mindestens zwei dieser drei Ablesungen angeben, daß die Daten sich nicht in dem Niedrigzustand befanden, z. B. der erste Hoch-Niedrig-Übergang durch eine Rauschspitze verursacht war, so synchronisiert der empfangende Mikrocontroller zu diesem Zeitpunkt nicht seinen Empfangstakt. Der empfangende Mikrocontroller wartet dann wieder, bis der zweite Hoch-Niedrig-Übergang in der Sende/Empfangssynchronisationsperiode auftritt.

Durch Verwenden des Schemas der Mehrfachablesung kann die Auswirkung von Rauschspitzen auf die Gültigkeit der ankommenden Daten minimiert werden. Während des Empfangs einer ankommenden Nachricht kann der empfangende Mikrocontroller es als notwendig befinden, sich erneut auf die ankommenden Daten zu synchronisieren. Wenn dies geschieht, sucht der Mikrocontroller die Lage der nächsten Anstiegsflanke oder Anstiegsflanke im voraus zu erkennen.

Der empfangende Mikrocontroller wartet auf das Codewort, um zu bestätigen, daß die Synchronisation mit der ankommenden Nachricht zutreffend ist. Der Mikrocontroller vergleicht das empfangene Codewort mit einer programmierten Folge entsprechender Bits. Aufgrund der Bestätigung weiß der empfangende Mikrocontroller, daß eine gültige Nachricht folgen wird. Der Mikrocontroller synchronisiert erneut seine interne Empfängerlogik auf den ersten Hoch-Niedrig-Übergang des Codewortes. Ist einmal das Codewort bestätigt worden, so führt der empfangende Mikrocontroller keine weitere Synchronisation mehr während des Datenteils der Nachricht durch. Für den Fall, daß das empfangene Codewort einen Fehler enthalten sollte, der von dem Mikrocontroller festgestellt wird, ist der Mikrocontroller so programmiert, daß er erneut die Empfangsfolge beginnt, um die Sende/Empfangssynchronisationsdaten festzustellen.

Nach Bestätigung der Gültigkeit des Codeworts und der richtigen Synchronisation wartet der Mikrocontroller auf Startbits, welche unmittelbar dem Codewort folgen und den Beginn der Datennachricht anzeigen.

Die Abtastschaltung tastet die empfangenen Nachrichtenbits ab und bildet ein Ausgangssignal von einem Zustand, welcher dem vorherrschenden Zustand des Bits während der Bitperiode entspricht. Die Abtastschaltung tastet fortwährend das Datenbit ab, wobei fünfzehn Abtastungen über eine Periode von 375 Mikrosekunden während eines zentralen Teils der 435 Mikrosekunden betragenden Bitzeit (2300 Baud) erfolgen, die dazu benutzt werden, den Bitzustand zu bestimmen. Fig. 6 veranschaulicht das Abtastungsschema, das während einer beispielhaften Bitperiode erfolgt.

Die Abtastvorrichtung ist in Fig. 4 in der Weise veranschaulicht, daß die auf der *RxD*-Leitung empfangenen Daten mit einem 40 kHz-Takt abgetastet und mit der entsprechenden Geschwindigkeit in die Schieberegister 400 und 402 eingeführt werden. Der 40 kHz-Oszillator kann mit dem 4 MHz-Oszillator synchronisiert sein, wenngleich dies nicht unbedingt notwendig ist. Wenn die Daten durch das Schieberegister 402 geschoben

werden, werden sie durch den 4-Bitzähler 404 gezählt. Der Zähler 404 zählt während der Abtastung eines Hochbits aufwärts, und wenn die Bits durch die Register 400 und 402 während eines folgenden Niedrigbits hindurchgeschoben worden sind, zählt der Zähler abwärts. Während die Springer 412 und 418 die in Fig. 4 dargestellte Stellung einnehmen, liefert der Zähler 404 eine Ausgangsanzeige an dem *QD*-Ausgang des Zählers, dem den höchsten Stellenwert aufweisenden Bitausgang des binären 4-Bitzählers; es ist dies eine Anzeige des Zustands der sehr häufig in 8 von 15 Abtastungen während der Bitperiode auftritt. Sollten 8 oder mehr Abtastungen während der Bitperiode "hoch" sein, so liefert der *QD*-Ausgang einen "hohen" Ausgangswert als Zustand des Bit. Der *QD*-Ausgang wird von dem Mikrocontroller während der Bitperiode abgetastet, nachdem die letzten 15 Abtastungen gezählt worden sind. Wenngleich nach der Darstellung drei Abtastungen durch den Mikrocontroller während der Bitperiode nach der Vornahme von 16 Abtastungen durchgeführt werden, so ist doch eine Abtastung von seiten des Mikrocontrollers ausreichend. Durch Verstellen der Springer 412 und 418 in die der Darstellung in Fig. 4 entgegengesetzte Stellung wird der Zähler so eingestellt, daß er die Zählung von 1 mit einem "hohen" *QD*-Ausgang beginnt, wenn 7 von 13 Bitabstastungen "hoch" sind.

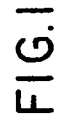
Durch Verwendung des beschriebenen Abtastschemas können die empfangenen Daten von dem Leitungsrauschen getrennt werden, das bis zu 150 Mikrosekunden dauert und das regelmäßig alle 8,3 Millisekunden auftritt. Durch Verwendung dieses Abtastschemas zur Beseitigung des Rauschens aus einem ankommenden Signal ist der Mikrocontroller in der Lage, weniger Zeit auf das Dekodieren von Daten zu verwenden, so daß erhöhte Baud-Geschwindigkeiten beim Datenempfang erhalten werden.

Während des Empfangs des ankommenden Datennachrichtteils der Nachricht wird von dem empfangenden Mikrocontroller kein anderer Arbeitsvorgang durchgeführt, bis die ganze Nachricht empfangen worden ist, mit Ausnahme der Bestätigung der Stopp/Startbits.

Sobald die ganze Nachricht empfangen worden ist, berechnet der Mikrocontroller erneut die Prüfsumme der ganzen Nachricht und vergleicht das Rechenergebnis mit den der Nachricht angehefteten Prüfsummendaten. Wenn die berechneten Prüfsummendaten mit den empfangenen Prüfsummendaten übereinstimmen, kann angenommen werden, daß eine gültige Nachricht empfangen worden ist. Die Datennachricht ist dann fertig zur Verarbeitung durch den Mikrocontroller und/oder zur Weitergabe an den Mikroprozessor des Moduls.

Die hier beschriebene Formatierung von Nachrichten erlaubt die genaue Sendung und den genauen Empfang von Daten über Nachrichtenverbindungen, die an sich mit Rauschen behaftet sind. Durch Verwenden des Nachrichtenformats und des Empfängerabtastschemas können die empfangenen Daten genau durch den Modul verarbeitet werden, indem die zugeordneten Aufgaben durchgeführt werden. Die beschriebenen Elemente ermöglichen Baud-Geschwindigkeiten, die wesentlich größer sind als die als Beispiel erwähnte Geschwindigkeit von 2300 Baud. Es wird ins Auge gefaßt, daß sogar noch höhere Baud-Geschwindigkeiten mit Hilfe des Systems gemäß der Erfindung erreichbar sind.

- Leerseite -



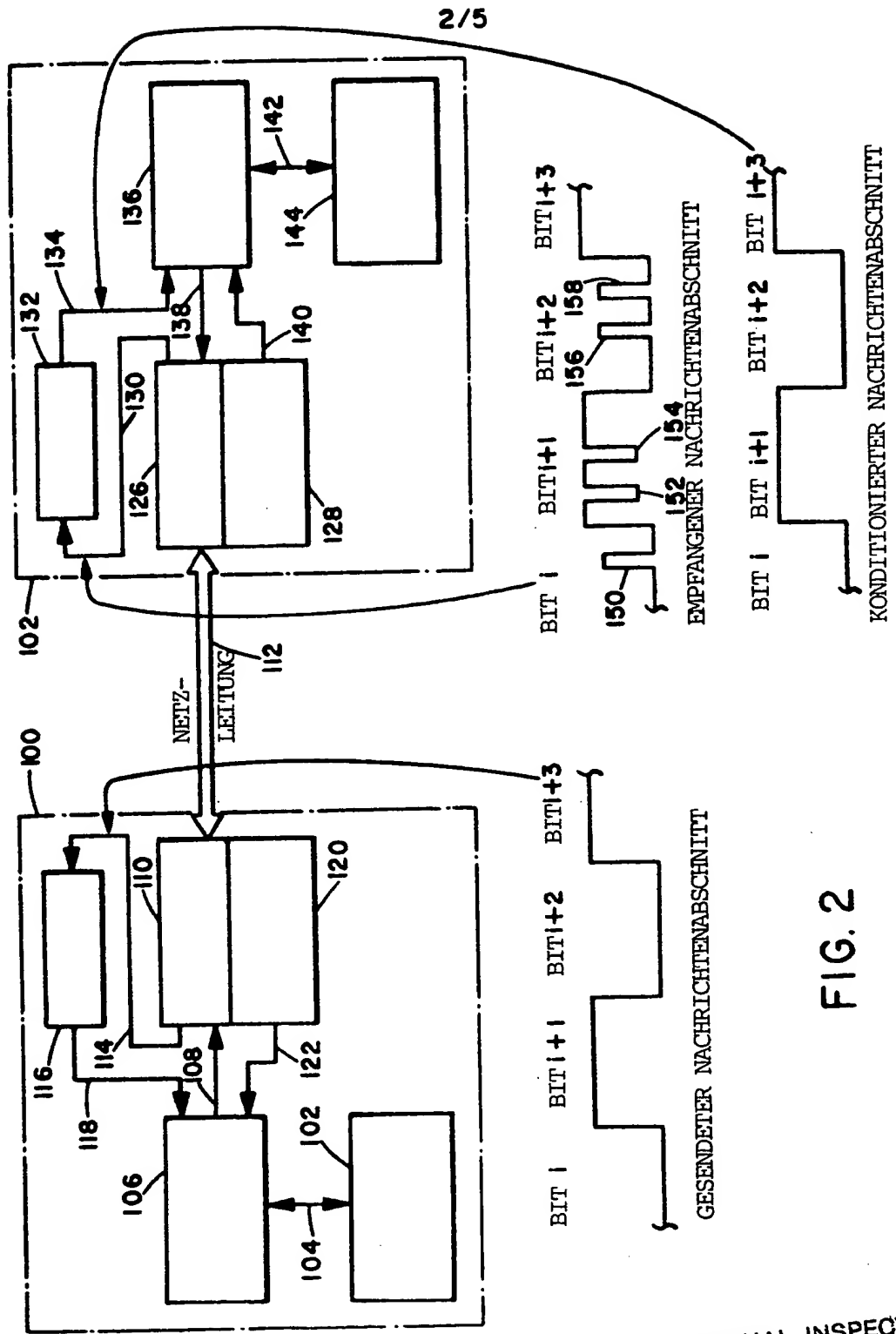


FIG. 2

ORIGINAL INSPECTED

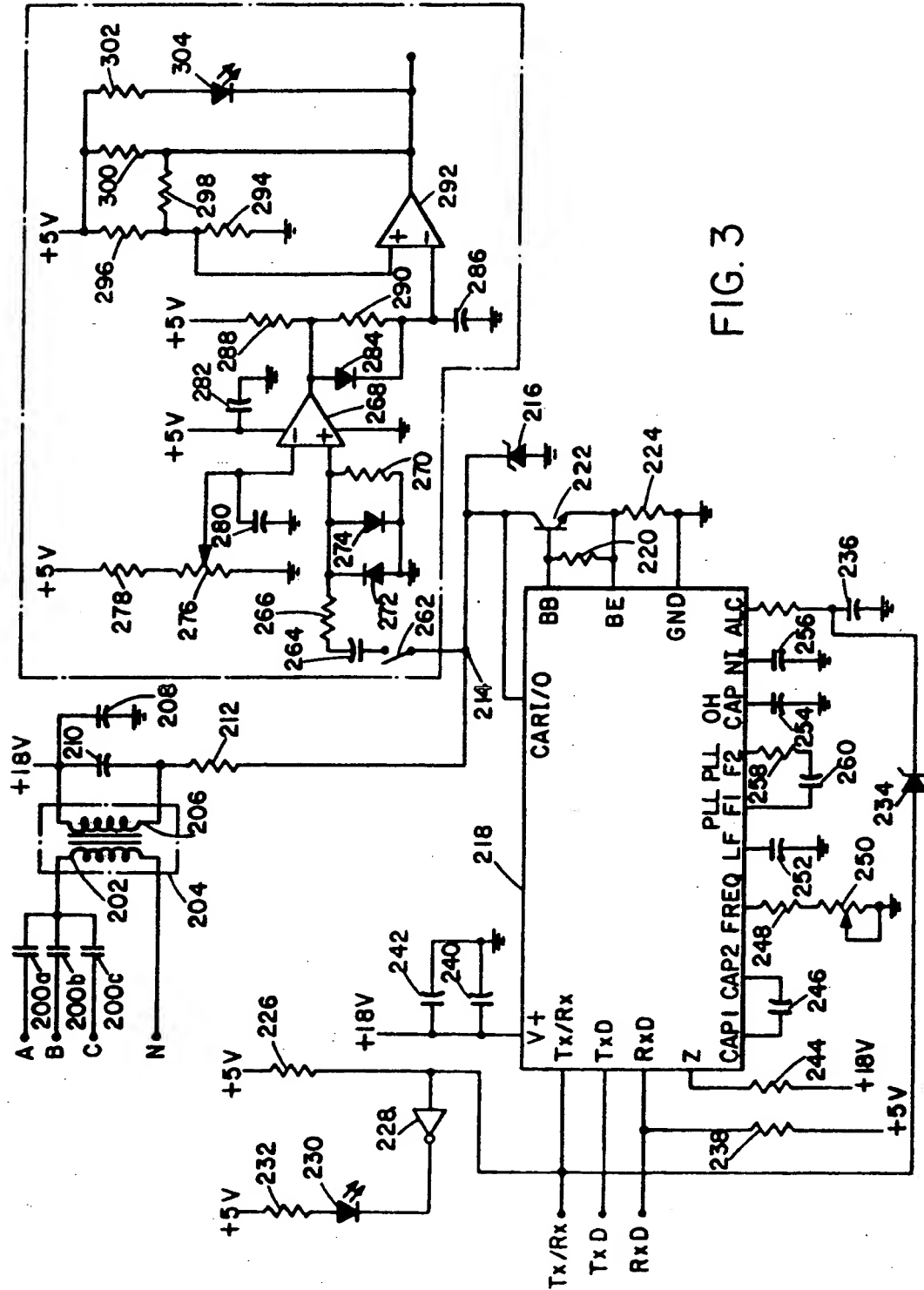
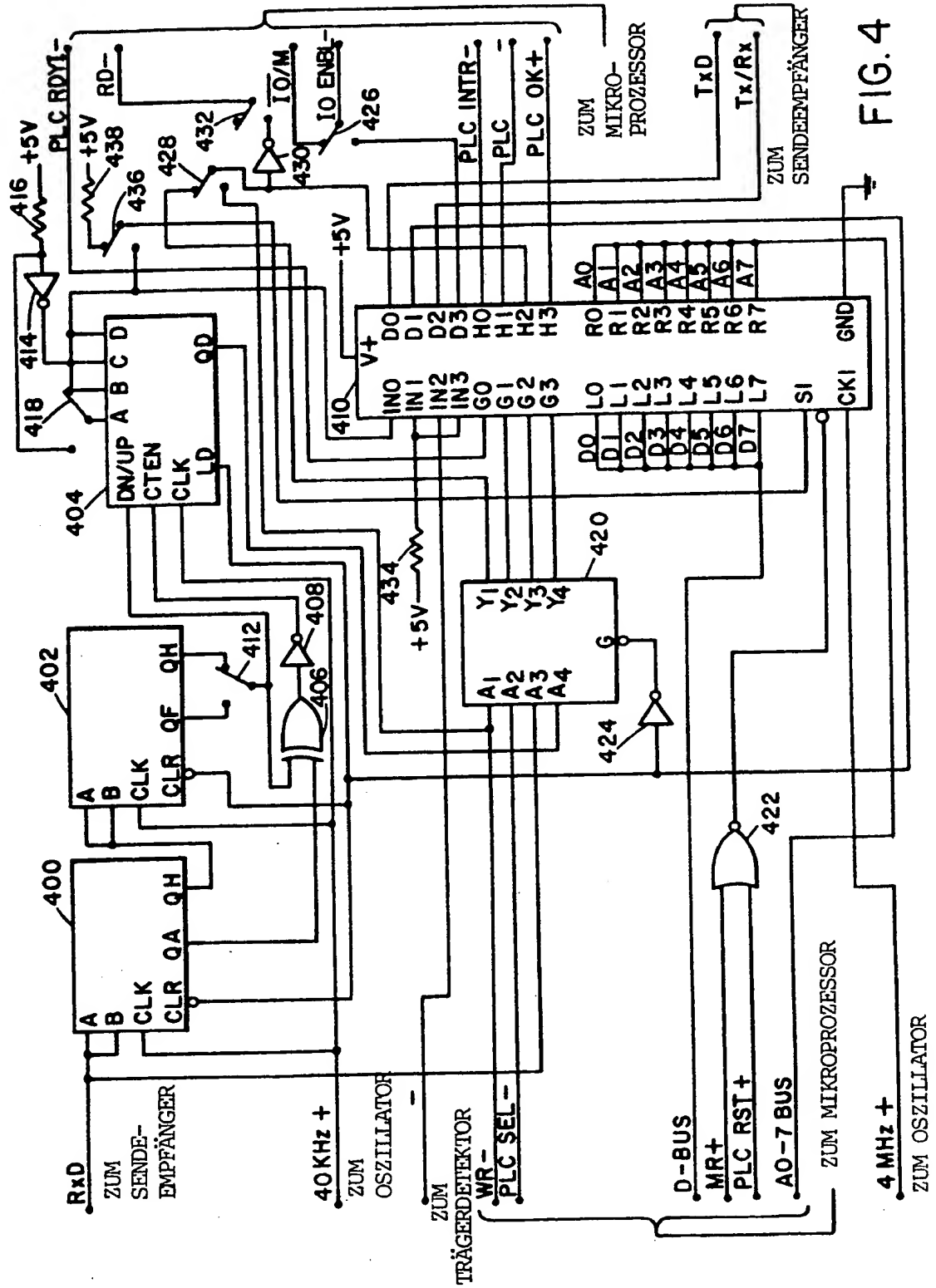


FIG. 3

ORIGINAL INSPECTED



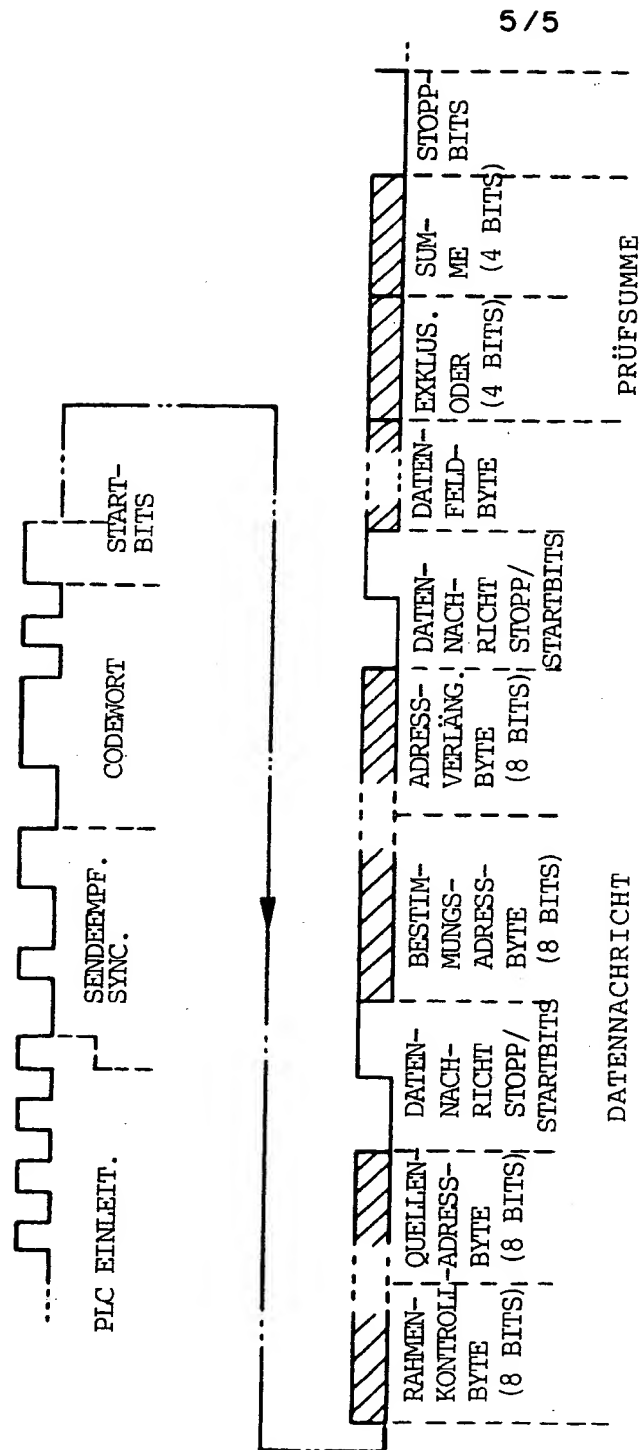
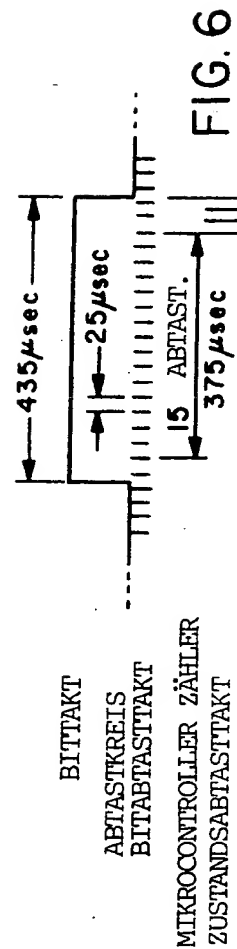


FIG. 5



ORIGINAL INSPECTED